

DIALOG(R)File 352:Derwent WPI  
(c) 2004 Thomson Derwent. All rts. reserv.

012487774      \*\*Image available\*\*

WPI Acc No: 1999-293882/199925

XRPX Acc No: N99-220459

**Peeling layer removing method in semiconductor device manufacture -  
involves peeling of film from base by removing peeling layer formed on  
base by etching**

Patent Assignee: UNIV TOKYO AGRIC & TECHNOLOGY (UYTY ); TOKYO  
NOKO DAIGAKUCHO (TOKN-N); SAMESHIMA T (SAME-I)

Inventor: SAMESHIMA T

Number of Countries: 005    Number of Patents: 007

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week	
<b>JP 11097357</b>	A	19990409	JP 97250952	A	19970916	199925	B
DE 19842419	A1	19990610	DE 1042419	A	19980916	199929	
KR 99029854	A	19990426	KR 9838252	A	19980916	200028	
JP 3116085	B2	20001211	JP 97250952	A	19970916	200101	
US 20010012677	A1	20010809	US 98152338	A	19980914	200147	
US 6339010	B2	20020115	US 98152338	A	19980914	200208	
TW 473810	A	20020121	TW 98115207	A	19980911	200308	

Priority Applications (No Type Date): JP 97250952 A 19970916

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
<b>JP 11097357</b>	A		9	H01L-021/205	
DE 19842419	A1			H01L-021/84	
KR 99029854	A			H01L-021/20	
JP 3116085	B2		8	H01L-021/205	Previous Publ. patent JP 11097357
US 20010012677	A1			H01L-021/30	
US 6339010	B2			H01L-021/30	
TW 473810	A			H01L-021/02	

Abstract (Basic): **JP 11097357 A**

NOVELTY - A single or multilayer film (30) is formed on a peeling layer (20) which is formed on a support base (10). The film is peeled from the base by removing the peeling layer by etching.

USE - In semiconductor device manufacture.

ADVANTAGE - Produces device with favorable characteristic and large area on glass or plastic base without heat resistance. DESCRIPTION OF

DRAWING(S) - The figure shows peeling process of film from base. (10) Support base; (20) Peeling layer; (30) Single or multilayer film.

Dwg.1/13

Title Terms: PEEL; LAYER; REMOVE; METHOD; SEMICONDUCTOR; DEVICE;  
MANUFACTURE; PEEL; FILM; BASE; REMOVE; PEEL; LAYER; FORMING;  
BASE; ETCH

Derwent Class: U11; U12; U13

International Patent Class (Main): H01L-021/02; H01L-021/20; H01L-021/205;  
H01L-021/30; H01L-021/84

International Patent Class (Additional): H01L-021/203; H01L-021/22; H01L-021/302;  
H01L-021/306; H01L-021/336; H01L-021/38; H01L-021/46; H01L-027/12;  
H01L-029/786; H01L-031/04

File Segment: EPI

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

06155814      **\*\*Image available\*\***

**FORMATION OF SEMICONDUCTOR ELEMENT**

PUB. NO.:            11-097357 [JP 11097357 A]  
PUBLISHED:        April 09, 1999 (19990409)  
INVENTOR(s):      SAMEJIMA TOSHIYUKI  
APPLICANT(s):     TOKYO UNIVERSITY OF AGRICULTURE AND  
                         TECHNOLOGY  
APPL. NO.:        09-250952 [JP 97250952]  
FILED:             September 16, 1997 (19970916)  
INTL CLASS:       H01L-021/205; H01L-021/203; H01L-027/12; H01L-029/786;  
                         H01L-021/336; H01L-031/04; H01L-021/302; H01L-021/306

**ABSTRACT**

**PROBLEM TO BE SOLVED:** To form a semiconductor element having excellent characteristics and its circuit on a substrate with high accuracy at a low temperature through simple processes.

**SOLUTION:** A method for forming semiconductor element includes a process in which at least one strippable layer 20 which, preferably, has voids at, at least, part of the layer 20 is provided between a film structure 30 composed of a single layer or a plurality of layers and a substrate 10 which supports the structure 30 for stripping off the film structure 30 from the substrate 10 and another process in which the structure 30 is stripped off from the substrate 10 by removing the strippable layer 20 after at least part of the structure 30 is formed.

**COPYRIGHT:** (C)1999,JPO

(51) Int. Cl. <sup>6</sup>

識別記号

F I

H01L 21/205

H01L 21/205

21/203

21/203

Z

27/12

27/12

B

29/786

29/78

627

D

21/336

31/04

A

審査請求 有 請求項の数14 O L (全9頁) 最終頁に続く

(21) 出願番号

特願平9-250952

(71) 出願人 591006346

東京農工大学長

(22) 出願日

平成9年(1997) 9月16日

東京都府中市晴見町3-8-1

(72) 発明者 鮫島 俊之

東京都国分寺市西町3-5-1-103

(74) 代理人 弁理士 鈴江 武彦 (外5名)

(54) 【発明の名称】 半導体素子形成法

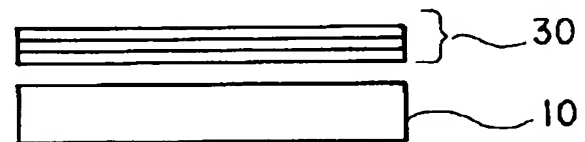
(57) 【要約】

【課題】 良好な特性の半導体素子及びその回路を簡単な工程、低温且つ高精度に基体上に形成する。

【解決手段】 単層あるいは複数の層からなる膜構造(30)を、それを支持する基体(10)から剥離するために、好ましくは少なくとも一部空隙(635)を有する剥離層(20)を、単層あるいは複数の層からなる膜構造(30)と基体(10)との間に少なくとも1層設ける工程と、単層あるいは複数の層からなる膜構造(30)の少なくとも一部を形成した後に、当該剥離層(20)の少なくとも1層を除去することにより、単層あるいは複数の層からなる膜構造(30)を、それを支持する基体(10)から剥離する工程を含む半導体素子の形成法。



(a)



(b)



(c)

## 【特許請求の範囲】

【請求項 1】 支持基体上に剥離層を形成するステップと、

前記剥離層上に単層あるいは複数の層からなる膜構造を形成するステップと、

前記剥離層を除去することにより前記膜構造を前記基体から剥離するステップを含むことを特徴とする半導体素子の形成法。

【請求項 2】 前記膜構造を前記支持基体から剥離するステップは、前記剥離層をエッチングによって除去するステップを含むことを特徴とする請求項 1 に記載の半導体素子の形成法。

【請求項 3】 前記膜構造を形成するステップの後、前記単層あるいは複数の層からなる膜構造の少なくとも一部にトランジスタ回路を形成するステップを含むことを特徴とする請求項 1 または請求項 2 に記載の半導体素子の形成法。

【請求項 4】 前記膜構造を形成するステップの後、前記単層あるいは複数の層からなる膜構造の少なくとも一部に太陽電池回路を形成するステップを含むことを特徴とする請求項 1 または請求項 2 に記載の半導体素子の形成法。

【請求項 5】 前記剥離層を形成するステップは、剥離層の少なくとも一部に空隙を形成するステップを含むことを特徴とする請求項 1 乃至請求項 4 のいずれか 1 項に記載の半導体素子の形成法。

【請求項 6】 前記空隙を形成するステップは、リソグラフィとエッチング技術によって剥離層の一部を除去するステップを含むことを特徴とする請求項 5 に記載の半導体素子の形成法。

【請求項 7】 前記空隙を形成するステップは、スパッタリング法により剥離層の一部を除去するステップを含むことを特徴とする請求項 5 に記載の半導体素子の形成法。

【請求項 8】 前記空隙を形成するステップは、プラズマ化学気相反応法を用いて剥離層の一部を除去するステップを含むことを特徴とする請求項 5 に記載の半導体素子の形成法。

【請求項 9】 前記空隙を形成するステップは、蒸発反応法を用いて剥離層の一部を除去するステップを含むことを特徴とする請求項 5 に記載の半導体素子の形成法。

【請求項 10】 単層あるいは複数の層からなる前記膜構造を、それを支持する基体から剥離した後、当該基体を再び単層あるいは複数の層からなる膜構造を支持する基体として、再利用することを特徴とする請求項 1 乃至請求項 9 のいずれか 1 項に記載の半導体素子の形成法。

【請求項 11】 第 1 の基体上に剥離層を介して単層あるいは複数の層からなる膜構造を形成するステップと、第 2 の基体を前記膜構造上に接着材を用いて接着するステップと、

しかる後に、第 1 の基体を前記膜構造から剥離するステップを含むことを特徴とする単層あるいは複数の層からなる膜構造の転写方法。

【請求項 12】 前記第 1 の基体を前記膜構造から剥離するステップは前記剥離層をエッチングによって除去するステップを含むことを特徴とする請求項 11 に記載の膜構造の転写方法。

【請求項 13】 前記膜構造を形成するステップと、前記第 2 の基体を前記膜構造上に接着材を用いて接着するステップの間に、前記膜構造に少なくとも太陽電池またはトランジスタのいずれかを形成するステップを含むことを特徴とする請求項 11 または請求項 12 に記載の膜構造の転写方法。

【請求項 14】 前記剥離層は空隙を含むことを特徴とする請求項 11 乃至請求項 13 のいずれか 1 項に記載の膜構造の転写方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置の製造方法に関するもので、特に、転写法によって半導体素子または半導体回路を形成する方法に関するものである。

【0002】

【従来の技術】単結晶シリコン表面に形成されるバイポーラ及び MOS 型トランジスタは良好な特性を有し、広く電子デバイスを構成する素子として用いられている。さらに現在では素子サイズの微細化に対応するため、シリコン表面に絶縁膜を介して作製された薄膜シリコン上にトランジスタを作製する SOI 技術が開発されてきている。これらの半導体素子形成は熱酸化法等およそ 1000℃ の高温熱処理プロセス技術を基本としている。

【0003】最近、プラズマ CVD、レーザ結晶化等を用い比較的低温で半導体層を形成し、これに多結晶シリコン薄膜トランジスタ (poly-Si TFT) 或いはアモルファスシリコン薄膜トランジスタ (a-Si:HTFT) が作製できるようになった。

【0004】さらに大画面直視型ディスプレイの駆動回路へのかかる薄膜トランジスタの応用が期待されている。このため大型基板処理技術の確立が必須となっている。

【0005】

【発明が解決しようとする課題】上述のシリコントランジスタ作製プロセス技術は、およそ 1000℃ の高温の熱処理技術を基本としているために、耐熱性の低い基板上に形成された半導体薄膜ヘトランジスタ等を作製する場合には適用出来ないという問題点があった。プラズマ CVD あるいはレーザ結晶化等の新規技術によりプロセス温度の低温化がはかられてはいるが、尚 300℃ 以上が必要であり、プラスチック等の非耐熱基板上のトランジスタ回路作製は困難であった。さらに大面積基板上に直接トランジスタ回路を作製する場合、基板サイズの大

型化により、作製プロセス装置の巨大化、低精度化、且つ素子がコスト高になるという問題点があった。

【0006】本発明の目的は、かかる問題を解決し、良好な特性のトランジスタ回路を耐熱性の低い基板上に形成可能にし、且つ、大面積デバイスを実現する方法を提供することである。

【0007】

【課題を解決するための手段】上記目的はトランジスタ回路作製に必要な、半導体層を含む単層あるいは複数の層からなる膜構造を、それらを支持する基体から剥離することにより達成される。或いは必要なら当該膜構造を高温での耐熱性を特に必要としない別の基体に接着することにより達成される。この目的を実現するために当該膜構造とこれを支持する基体との間に剥離層を設けることを特徴とする。

【0008】本発明の、トランジスタ回路作製に必要な、単層あるいは複数の層からなる膜構造形成法の態様においては、当該剥離層をエッチングによって除去することにより、単層あるいは複数の層からなる膜構造を、それを支持する基体から剥離することを手段とする。

【0009】さらに、当該剥離層の除去を容易ならしめるために、少なくとも一部に空隙を有する剥離層の形成を特徴とする。

【0010】本発明は剥離層の除去により、単層あるいは複数の層からなる膜構造をそれを支持する基体から剥離する工程を、単層あるいは複数の層からなる膜構造内に形成される所望の半導体デバイス回路の形成プロセスの途中、或いは、形成後に行うことを特徴とする。

【0011】本発明の態様に係わる半導体デバイス回路としては、例えば、薄膜トランジスタ、MOS型FET、バイポーラトランジスタ等を単体もしくはは複数用いた回路、或いは、太陽電池を用いた回路等を例示することができる。

【0012】

【作用】本発明の半導体素子形成法は、半導体素子作製に必要な、単層あるいは複数の層からなる膜構造を、それらを支持する基体から剥離することによって、或いは必要なら当該膜構造を別の基体に接着することにより達成される。

【0013】当該剥離を低温工程により行うことによって、半導体素子或いは半導体素子を用いた回路を、所定の基体上に高温の加熱工程を用いることなく形成することができる。

【0014】半導体素子作製プロセスの少なくとも一部分を、半導体層を含む膜構造を最終的にデバイスとして使用する場合の支持基体とは別の基体上に接着させた状態で行うことにより、半導体素子作製プロセスとしての少なくとも一部分は、半導体素子として良好な特性が得られる高温加熱処理を用いるプロセス技術を使用できる。さらに本方法により、例えば、小面積の基体上に作

製した半導体素子を含む回路を、大面積基体上に転写することにより、大面積デバイスを容易に作製することができる。

【0015】

【発明の実施の形態】以下図面を参照して本発明の実施の形態を説明する。

【0016】図1aに本発明の基本的概念図を示す。例えば、シリコン、窒化シリコン、石英、あるいはセラミックスなどの半導体材料または耐熱性絶縁材料からなる基体10上に、剥離層20を形成し、さらにその上に、所定の回路形成に必要な、例えば、シリコンあるいはII-VI族あるいはIII-V族化合物半導体などの半導体層を含む、単層あるいは複数の層からなる膜構造30を形成する。剥離層としては特に半導体素子を形成するための高温で、すなわち、望ましくは1000°C~1100°Cにおいても安定で、かつかかる温度においても半導体層またはそこに形成された半導体素子に悪影響を及ぼさない材料であることが必要である。このため、例えば、クロム、ニッケル、タンタル、タングステンなどの金属材料、またはアルミナ、窒化シリコン、二酸化シリコン等の絶縁材料、さらにInZnOなどを用いる。

【0017】剥離層の厚さは、後の剥離層エッチングのためには、少なくとも200nm以上が必要である。また、基体材料10や膜構造材料30との間での熱歪みを低減する必要があることや、剥離層自身の形成時間等を考慮すると20000nm以下とするのが望ましいが、さらに望ましくは1000~10000nm程度が適切である。上記剥離層は、例えば通常の半導体製造工程で使用される真空蒸着、気相成長、あるいはスパッタ処理などにより形成することができる。

【0018】そして、膜構造30の半導体層に通常の拡散工程やイオン注入工程など所定の半導体処理工程を用いて、例えば太陽電池、ダイオード、あるいはトランジスタ等の半導体素子を形成する。また、これらの素子が相互配線され集積回路として形成されていても良い。もっとも、上記半導体素子を形成する工程は完全に終了している必要はなく、少なくとも高温処理工程が終了していれば、途中工程であっても良い。その後、当該剥離層を例えばエッチングによって除去することにより、単層あるいは複数の層からなる膜構造30を、それを支持する基体10から剥離する図1b。剥離層のエッチングは、例えば、アルミナ、窒化シリコン等はリン酸を主成分とする溶液で、二酸化シリコンはフッ酸を含むエッチング液で、InZnOは塩酸を用いて行うことができる。

【0019】単層あるいは複数の層からなる膜構造30が十分な機械的強度を有し、それ自身が物理的支持を必要としないときは、剥離処理の後そのまま単体の半導体素子として或いはこれら素子を含む回路デバイスとして使用することができ、一方、途中工程で剥離した場合に

は、半導体素子或いはそれを用いる回路デバイスをさらに形成する工程を続けて行うこととなる。

【0020】また、膜構造30を剥離した後の基体10は図1cに示すように、再び半導体素子あるいは回路形成に必要な所望の単層あるいは複数の層からなる膜構造30をその上に形成し、再度支持基体として利用することも可能である。

【0021】図2に、基体10とは別の新たな支持基体40を用いる実施の形態を示す。基体10上に剥離層20を形成し、さらにその上に、所定の回路形成に必要な単層あるいは複数の層からなる膜構造30を形成する

(図2a)。所定の回路を形成後、膜構造30の上に基体40を適当な接着剤により接着する(図2b)。基体40は基体10と異なり、必ずしも基体10に要求されるような高温での安定性は要求されない。したがって、基体40にはプラスチックなど安価な有機材料を用いることができる。しかる後に、剥離層20を例えばエッチングによって除去することにより、単層あるいは複数の層からなる膜構造30を、それを支持する基体10から剥離し、新たな基体40上へと転写する工程を完成させることができる(図2c)。

【0022】具体的転写例として、図3にトランジスタ素子及びそれを用いた集積回路を転写した実施の形態を示す。図3はメタルオキシサイドセミコンダクター(MOS)型電解効果型トランジスタ(FET)を転写した例である。

【0023】MOSFETの作製工程として、まず結晶性シリコン膜50形成し、その表面にゲート絶縁膜60を形成し、所定のパターンを有するマスクを形成して例えばイオン注入または拡散処理によりドープシリコン層からなるソースおよびドレイン領域70、72形成する。層間絶縁膜90、92等を形成し、該層間絶縁膜にコンタクトホールを形成してソース、ゲート、およびドレイン電極80、82、84形成する。さらに、パッシベーションのための酸化膜94が形成される。好ましい結晶性シリコン膜50の厚さは1000nm~5000nmである。電極メタルの厚さは10nm~2000nmであり、望ましくは100nm~1000nmである。さらに必要の場合、トランジスタ間或いは外部回路との金属配線100、102が形成される。図3aは、基体10に剥離層20および結晶性シリコン膜50を形成した後、上記工程が終了しMOSFETが完成した後の基板の断面を模式的に示す。

【0024】MOSFET形成のための結晶性シリコン膜50の形成、ゲート絶縁膜形成、およびドープシリコン領域形成のための不純物活性化処理等にはおよそ1000°Cの高温加熱処理工程が用いられる。基体10が例えば石英のように1000°C以上の耐熱性を有することにより、これら高温の熱処理工程を用いることができる。

【0025】さらに上記MOSFETの作製工程において、シリコン層50のレーザ結晶化、レーザ活性化による層特性の改善、また膜形成のためのプラズマCVD等、比較的低温度で処理できる技術を用いることにより高温処理工程より時間短縮を図ることができる。

【0026】次に、別の基体40をトランジスタ回路が形成された層上に接着させる(図3b)。しかる後に、剥離層20を除去してトランジスタ回路を基体40上に転写させる(図3c)。

【0027】このとき、基体40は単に形成されたトランジスタ回路の支持を目的とするものであり、トランジスタ作製中の処理には特に影響されない。従って、上記トランジスタ作製に於いて、高処理温度を必要とする技術を用いる場合でも、基体40には耐熱性の小さい、安価な材料、例えばエポキシ樹脂、ポリイミド或いはポリカーボネイトなどのプラスチック材料を用いることができる。

【0028】本発明を用いることにより、高温処理の製造プロセスにより優れた特性を持つ半導体素子及びその回路が、種々の安価な必ずしも高温での耐熱性を有しない材料の基体上に形成可能となる。

【0029】例えば、他の実施の形態として図4に示すように、ゲート電極82、ゲート絶縁膜60、シリコン膜50、ドープ層70、72、絶縁膜90等の形成後、本発明による転写を行い、しかる後に、メタル配線80、84、100、102を行っても良い。この場合、必要ならば、電極取り出しのコンタクトホール側壁は適宜絶縁される。なお、MOSFET以外の素子を用いる場合も、同様に本発明による転写法を用いることができる。

【0030】図5にアモルファスシリコンTFT回路の作製と、その転写を行う実施の形態を示す。基体200上に形成した剥離層210上に、スパッタ等手段を用いてメタル層を形成し、エッチング等の方法によりゲート電極220を形成する。電極メタルの厚さは10nm~2000nmであり、望ましくは100nm~1000nmである。プラズマCVD等によりシリコンナイトライド230及びアモルファスシリコン膜240を形成する。膜厚はそれぞれ、50nm~2000nm及び10nm~1000nmであり、望ましくは100nm~1000nm及び20nm~500nmである。アモルファスシリコン膜240形成後、不純物ドープアモルファスシリコン膜250を、プラズマCVD等により形成する。膜厚は50nm~200nmである。しかる後に、エッチングによりチャネル部分の不純物ドープ層を除去する。

【0031】ソース・ドレイン電極領域260、270の形成、さらには層間絶縁膜280、290、及びパッシベーション膜291の形成、及びトランジスタ間或いは外部回路との金属配線292、293の形成が行われ

れる。図 4 a にはこれら全てが基体 2 0 0 の上で完成した場合を示した。

【 0 0 3 2 】 このアモルファスシリコン T F T 或いはその回路を、図 4 b 及び 4 c に示すように、剥離層の全部或いは一部を除去することにより新しい基板 2 9 4 に転写する。ここで、“剥離層の一部を除去する”とは剥離する領域上に半導体素子作製のための支持層を作製する場合、その支持層は除去せず新しい基体上でも使用する場合等を意味する。

【 0 0 3 3 】 本発明の他の実施の形態として、太陽電池素子形成を示すことができる。図 6 には、基体 3 0 0 上に形成した剥離層 3 1 0 上に作製した太陽電池素子を示す。アモルファスシリコン型太陽電池の場合、下部電極 3 2 0 をスパッタリング等で作製後、P 型高濃度不純物層 3 3 0、不純物を添加しない半導体層 3 4 0、その半導体表面に n 型不純物層 3 5 0 をプラズマ C V D 等で形成する。それぞれの層の厚さは、P 型高濃度不純物層が 1 0 n m ~ 1 0 0 n m、不純物を添加しない半導体層が 1 0 0 n m ~ 5 0 0 0 n m、n 型不純物層が 1 0 n m ~ 1 0 0 n m がそれぞれ好ましい範囲である。その後、上部電極 3 6 0 形成、さらにはパッシベーション層 3 7 0 及び外部回路との金属配線 3 8 0 形成を行うことにより、アモルファスシリコン型太陽電池素子を形成する。

【 0 0 3 4 】 結晶シリコン型太陽電池の場合、P 型高濃度不純物層はドーブした半導体膜の固相結晶化法、或いは熔融固化法によって形成する。或いは不純物熱拡散も用いることができる。p 型半導体層は半導体膜の固相結晶化法或いは熔融固化法によって形成する。n 型不純物層はイオン注入或いは不純物熱拡散によって形成する。それぞれの層の厚さは、P 型高濃度不純物層が 1 0 n m ~ 1 0 0 n m、p 型半導体層が 1 0 0 0 n m ~ 5 0 0 0 n m、n 型不純物層が 1 0 n m ~ 1 0 0 n m とするがそれぞれより好ましい範囲である。

【 0 0 3 5 】 そしてこの太陽電池或いはその回路を図 6 b 及び c に示すように剥離層の全部或いは一部を除去することにより新しい基板 3 9 0 に転写する。

【 0 0 3 6 】 本発明により新しい基板に転写された素子及びその回路は上下が逆転する。従って、素子及びその回路の作製は転写後の使用に併せて適宜最適化を行えばよい。例えば、図 3 に示す M O S F E T の転写の場合、初めトップゲート型の T F T を作製すると、転写後はボトムゲート型 T F T となる。転写後トップゲート型 T F T を使用するとき、図 5 に示すように最初ボトムゲート型 T F T を作製して、転写を行えばよい。

【 0 0 3 7 】 また転写後 T F T 間の配線を行うときは、図 7 に示すように配線用コンタクト部分 4 0 0 を設け、コンタクトホールを開けた後配線形成を行えばよい。

【 0 0 3 8 】 さらに、他の実施の形態として、本発明を用いることにより、図 8 に示すように、予め小さい基体 5 0 5 上に剥離層 5 0 4 を介して形成されたトランジ

スタ回路が形成された半導体層を含む膜構造 5 1 0 を、より大きな基体 5 2 0 上に転写することができる。この方法によって、従来の大面積基体上の高精細パターンニングの困難性を解消することができ、優れた特性を持つ微細な半導体素子、及びその回路を大面積基体 5 2 0 上に形成することが可能となる。

【 0 0 3 9 】 さらに、本発明を用いることにより、図 9 に示すように基体 5 3 1 上に剥離層 5 3 2 を介して作製されたトランジスタ回路を含む層 5 3 0 を、より小さな基板 5 4 0 上に転写して、優れた特性を持つ微小な半導体素子または回路を一度に多数の微小な基体 5 4 0 上に実現することができる。

【 0 0 4 0 】 なお、本発明の半導体素子形成法は、図 1 ~ 9 に示した実施の形態による形成方法に限定されるものではなく、本発明の技術的範囲内で適宜変更することができるのはいうまでもない。

【 0 0 4 1 】 例えば、図 3 に示す実施の形態においては、半導体素子及び回路については M O S F E T 及びその回路について示したが、本発明は M O S F E T の他、例えば、図 5 に記載のアモルファスシリコン T F T、図 6 に記載の太陽電池素子、その他バイポーラ素子、アモルファスイメージセンサー等の形成に用いることができる。

【 0 0 4 2 】 さらに、図 3 ~ 7 に示される実施の形態では、少なくともトランジスタ素子を完成した後の転写について示したが、本発明による方法は素子作製の途中にも適用することができる。

【 0 0 4 3 】 図 1 においては、剥離層の除去の方法としてエッチングによる除去方法を例示した。この場合、剥離層を溶解する溶液、或いはガスを用いて剥離層を分解除去することにより、単層あるいは複数の層からなる膜構造 3 0 を基体 1 0 より剥離する。エッチングにより剥離層を除去する場合、より好適な剥離層の態様として、少なくとも一部に空隙を有する剥離層を例示することができる。

【 0 0 4 4 】 図 1 0 にリソグラフィ技術を用いて、その一部に空隙を有する剥離層を形成する方法を示す。まず基体 6 1 0 上に剥離層を構成する膜 6 0 0 を形成する（図 1 0 a）。膜材料としては例えばクロムを例示することが出来る。しかし、本方法は特にクロム材料に限定されるものではなく、例えばニッケル、タンタル、タングステンなどの金属材料、アルミナ、窒化シリコン、二酸化シリコン等の絶縁材料、さらに I n Z n O など、本発明を実施する際に最適の材料を選択することができる。剥離層 6 0 0 の形成法としては、例えば C V D 方、スパッタリング法などを挙げることが出来る。しかし、剥離層 6 0 0 の形成法も本発明実施を限定することではなく、最適の形成法を選択できるのはいうまでもない。

【 0 0 4 5 】 次にリソグラフィ及びエッチング技術を用いて膜 6 0 0 を例えば図 1 0 b のように膜を一部除去

してパターンニングする。次に、図 1 0 c 及び d に示す様に高分子材料等の有機溶剤に可溶性の強い物質 6 2 0 を塗布し、さらにドライエッチング或いはポリッシングによって物質 6 2 0 の一部を除去して膜 6 0 0 が表面に露出した状態で平坦化を行う。

【0046】その後、この平坦面の保護層として、E C R プラズマ C V D、スパッタリング等低温で膜形成可能な手法を用いて膜 6 3 0 を図 1 0 e の様に形成する。膜 6 3 0 の材料としては、例えば酸化シリコンを例示することが出来る。しかし、本方法はこの材料に限定されず、本発明を実施する際に最適の材料を選択することができる。

【0047】膜 6 3 0 形成後、溶剤によって物質 6 2 0 を除去して、図 1 0 f に示すような一部に空隙 6 3 5 を有する剥離層 6 4 0 を形成できる。溶剤によっては、物質 6 2 0 を除去するには、図 1 1 に示すように溶剤液 6 5 0 中に試料を浸すことが簡便な方法である。さらに効率よく物質 6 2 0 を除去するためには、溶剤溶液を加熱して溶解反応を高めるか、あるいは溶剤を気化させて、反応性の高い蒸気による溶解を用いることができる。

【0048】当該剥離層 6 4 0 の除去は、物質 6 2 0 を溶解するが、膜 6 3 0 は溶解しないエッチング溶剤を用いる。剥離層は空隙を有するため、エッチングは容易に剥離層内部に侵入し、物質 6 2 0 を除去することができる。

【0049】膜構造 6 9 0 の剥離のため、より効率よくエッチング液を剥離層内部に侵入せしめるためには、図 1 2 に示すように、試料を真空容器 6 6 0 に入れ、真空排気 6 7 0 により空隙内の空気を除去した後、エッチング溶剤 6 8 0 を容器 6 5 0 内に入れることにより、エッチング溶剤は速やかに剥離層内に入り込み、物質 6 2 0 を溶解し、単層あるいは複数の層からなる膜構造 6 9 0 の基体 6 1 0 からの剥離を実現できる。さらにより効率よく剥離層を除去せしめるために、図 1 3 に示すように、空隙層上の膜構造を、半導体素子及びその回路形成に支障無い範囲で除去して、エッチング溶剤による剥離層の除去を増進することができる。

【0050】この他に、スパッタリングで空隙を有する成膜技術が知られている(文献 1)。アルゴンガス雰囲気中で S i O<sub>2</sub> をスパッタリングすると空隙を有する S i O<sub>2</sub> 膜が形成される。このような膜はエッチング速度が極めて大きく、本発明の剥離層として用いることが出来る。

【0051】文献 1 : T. Serikawa and T. Yachi ; J. Electrochem. Soc., 131 (1984) pp 2105-2109 . さらに C V D 或いは蒸発法によっても、成膜時の少なくとも一部の間に於て、ガス圧力を大きく設定することにより、気相反応を高め、微粒子を含む膜を形成することにより、空隙を有する膜の形成が可能である。このような膜はエッチング速度が極めて大きく、本発明の剥離層として用い

ることが出来る。

【0052】

【発明の効果】本発明による半導体素子の形成法によれば、良好な特性の半導体素子及びその回路を簡単な工程でしかも大面積で作製することができる。さらに、ガラス、プラスチック等耐熱性の無い基体の上に、良好な特性の半導体素子及びその回路を形成することができる。

【図面の簡単な説明】

【図 1】単層あるいは複数の層からなる膜構造を基体から剥離する基本的概念図を示す。

【図 2】単層あるいは複数の層からなる膜構造を基体から剥離するとき、当該膜構造を支持する新たな基体を用いる場合を示す。

【図 3】メタルオキシサイドセミコンダクター (MOS) 型電解効果型トランジスタ (FET) を転写する例を示す。

【図 4】ゲート電極、絶縁膜、シリコン膜、ドープ層、層間絶縁膜形成後、本発明による転写を行い、しかる後に、メタル配線を行うプロセスを示す。

【図 5】アモルファスシリコン T F T 回路の作製とその転写を示す。

【図 6】太陽電池素子の作製とその転写を示す。

【図 7】転写後 T F T 間の配線を行う例を示す。

【図 8】小さい基体上に作製したトランジスタ回路を、より大きな基体上に転写する方法を示す。

【図 9】大きい基体上に作製したトランジスタ回路を、より小さな基体上に転写する方法を示す。

【図 1 0】リソグラフィー技術を用いて一部に空隙を有する剥離層の形成法を示す。

【図 1 1】溶剤によって有機材料除去する方法を示す。

【図 1 2】試料を真空容器に入れ、真空排気により空隙内の空気を除去した後、エッチング溶剤を容器内に入れてエッチングする方法を示す。

【図 1 3】空隙を有する層上の膜構造を一部除去した後剥離層の除去を行う方法を示す。

【符号の説明】

1 0 … 基体

2 0 … 剥離層

3 0 … 単層あるいは複数の層からなる膜構造

4 0 … 基体

5 0 … シリコン膜

6 0 … ゲート絶縁膜

7 0 … ソース領域

7 2 … ドレイン領域

8 0 … ソース電極

8 2 … ゲート電極

8 4 … ドレイン電極

9 0、9 2 … 層間絶縁膜

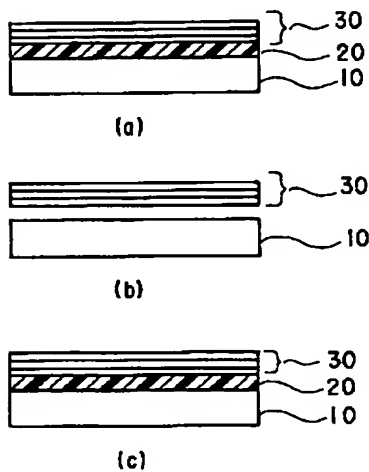
9 4 … パッシベーション膜

1 0 0、1 0 2 … 金属配線

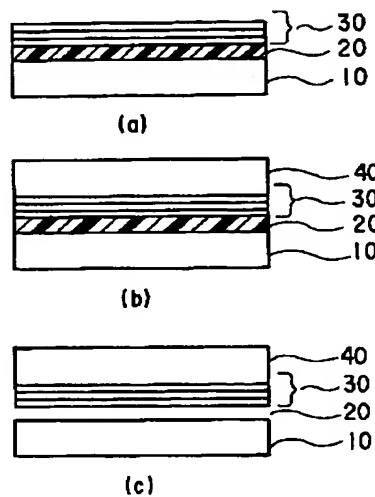
2 0 0 … 基体  
 2 1 0 … 剥離層  
 2 2 0 … ゲート電極  
 2 3 0 … シリコンナイトライド  
 2 4 0 … アモルファスシリコン膜  
 2 5 0 … 不純物ドーパアモルファスシリコン膜  
 2 6 0, 2 7 0 … ソース・ドレイン電極領域  
 2 8 0, 2 9 0 … 層間絶縁膜  
 2 9 1 … パッシベーション膜  
 2 9 2, 2 9 3 … 金属配線  
 2 9 4 … 新しい基板  
 3 0 0 … 基体  
 3 1 0 … 剥離層  
 3 1 5 … 保護層  
 3 2 0 … 下部電極  
 3 3 0 … P 型高濃度不純物層  
 3 4 0 … 不純物を添加しない半導体層  
 3 5 0 … n 型高濃度不純物層  
 3 6 0 … 上部電極  
 3 7 0 … パッシベーション層  
 3 8 0 … 金属配線

3 9 0 … 新しい基板  
 4 0 0 … 配線用コンタクト部分  
 5 0 4 … 剥離層  
 5 0 5 … 小さい基体  
 5 1 0 … 半導体層を含む膜構造  
 5 2 0 … 大面積基体  
 5 3 0 … トランジスタ回路を含む層  
 5 3 1 … 基体  
 5 3 2 … 剥離層  
 10 5 4 0 … 微小な基体  
 6 0 0 … 剥離層を構成する膜  
 6 1 0 … 基体  
 6 2 0 … 高分子材料等の有機溶剤に可溶性の強い物質  
 6 3 0 … 保護層  
 6 3 5 … 空隙  
 6 4 0 … 剥離層  
 6 5 0 … 溶剤液  
 6 6 0 … 真空容器  
 6 7 0 … 真空排気  
 20 6 8 0 … エッチング溶剤  
 6 9 0 … 膜構造

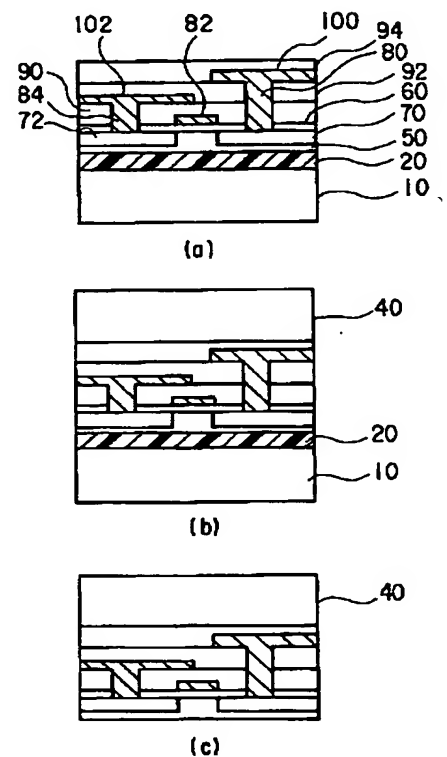
【図 1】



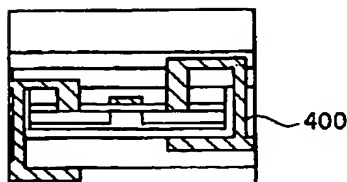
【図 2】



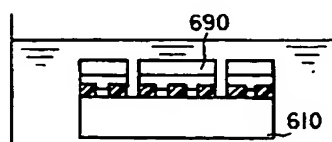
【図 3】



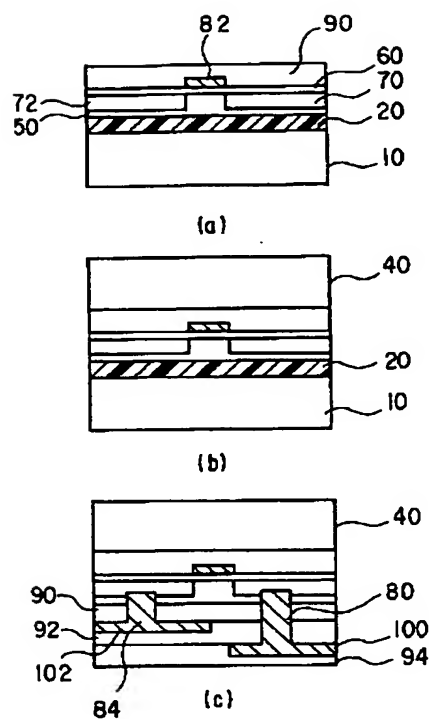
【図 7】



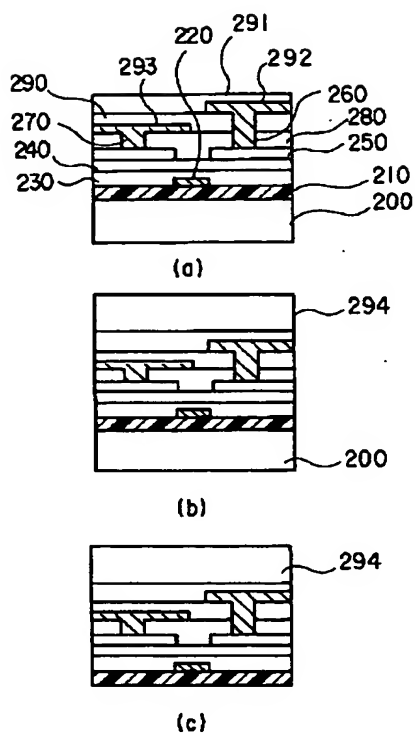
【図 13】



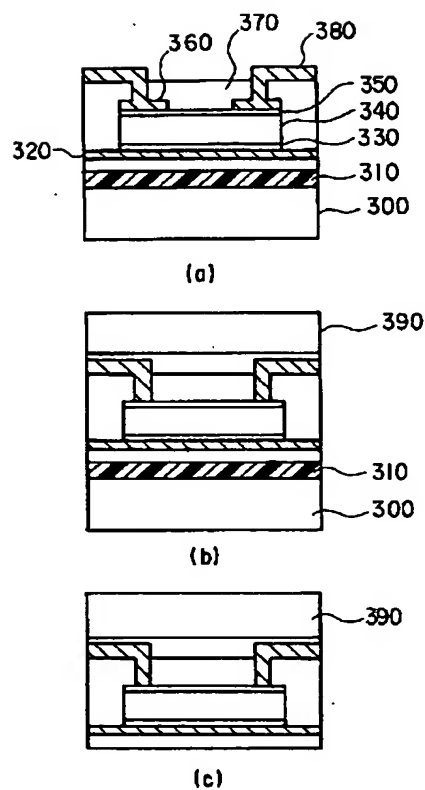
【図 4】



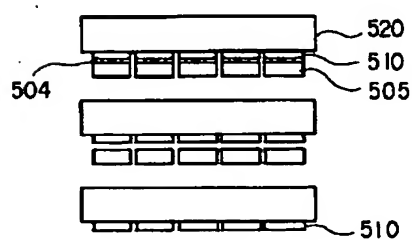
【図 5】



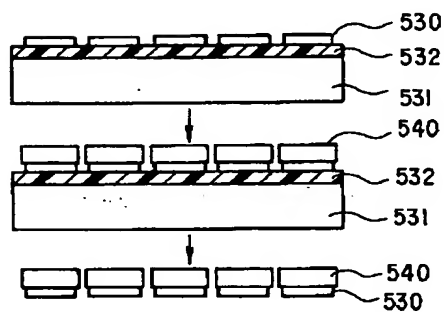
【図 6】



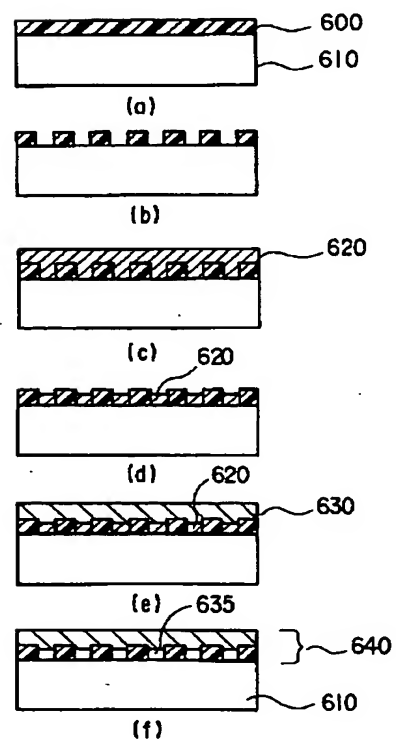
【図 8】



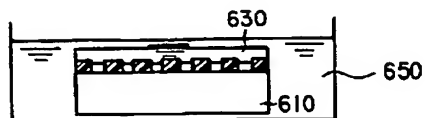
【図 9】



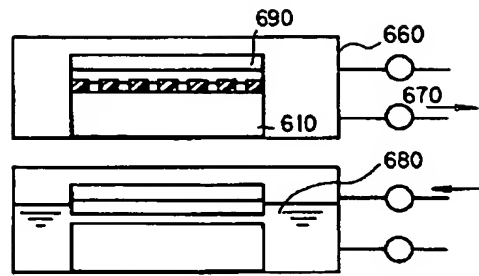
【図 10】



【図 11】



【図 1 2】



フロントページの続き

(51) Int. Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 31/04

H 0 1 L 21/302

Z

// H 0 1 L 21/302

21/306

A

21/306